

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-225737

(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

G06F 13/16

(21)Application number : 06-015255

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.02.1994

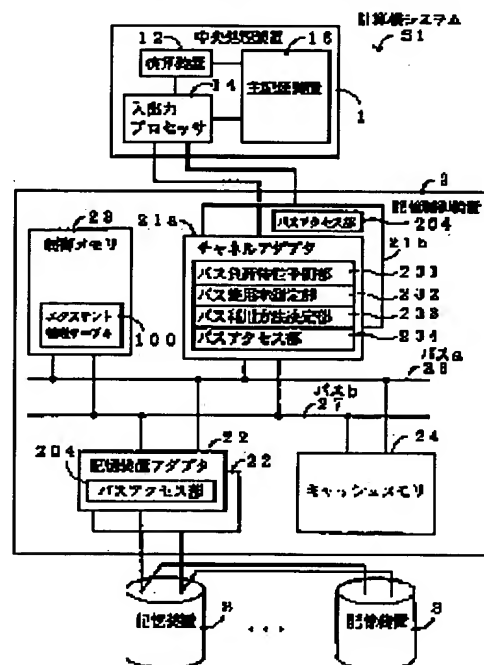
(72)Inventor : SATO TAKAO
TAKEUCHI HISAHARU
INOUE YASUO
YAMAMOTO AKIRA

(54) BUS CONTROL METHOD FOR STORAGE CONTROLLER AND STORAGE CONTROLLER

(57)Abstract:

PURPOSE: To dynamically control a utilizing method for the internal bus of the storage controller corresponding to the operating form of computer system.

CONSTITUTION: When the pattern of access to a storage device 3 according to an input/output request from a central processing unit 1 shows sequential access, a channel adapter 21a detects the remaining quantity of that sequential access and when that remaining quantity tends to increase and the utilization rates of buses a 26 and b27 are not balanced, the utilizing method for the buses a26 and b27 is automatically tuned into a type regarding data transfer as being important. On the other hand, when the remaining quantity tends to decrease and the utilization rates of the buses a26 and b27 are not balanced, the utilizing method for the buses a26 and b27 is automatically turned into a type regarding control information communication as being important. Thus, even when the operating form of the computer system is changed, resources consisting of the storage controller can be effectively utilized.



LEGAL STATUS

[Date of request for examination]

25.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-225737

(43) 公開日 平成 7 年 (1995) 8 月 22 日

(51) Int.Cl.⁶

G 0 6 F 13/16

識別記号

B 1 0 C

庁内整理番号

9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願平6-15255

(22) 出願日 平成 6 年 (1994) 2 月 9 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 佐藤 孝夫

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 竹内 久治

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72) 発明者 井上 靖雄

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74) 代理人 弁理士 有近 紳志郎

最終頁に続く

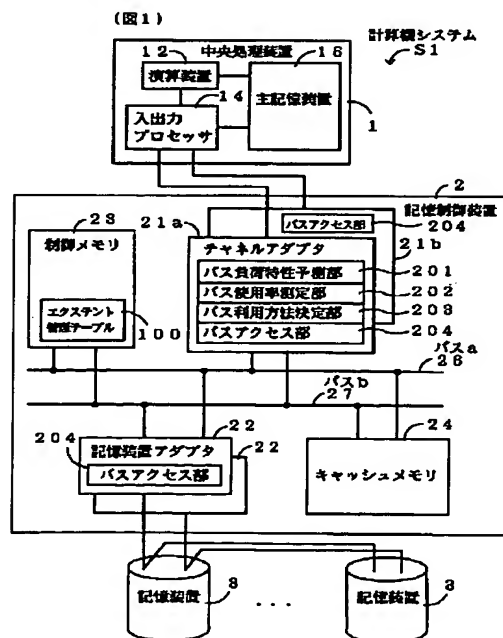
(54) 【発明の名称】 記憶制御装置におけるバス制御方法および記憶制御装置

(57) 【要約】

【目的】 計算機システムの運用形態に応じて、記憶制御装置の内部のバスの利用方法を動的に制御する。

【構成】 チャネルアダプタ 21 a は、中央処理装置 1 からの入出力要求による記憶装置 3 へのアクセスパターンがシーケンシャルアクセスであればそのシーケンシャルアクセスの残量を検出し、その残量が増大する傾向にあり且つバス a 26、バス b 27 の利用率が不均衡であれば、バス a 26、バス b 27 の利用方法を、データ転送重視型に自動チューニングする。一方、前記残量が減少する傾向にあり且つバス a 26、バス b 27 の利用率が不均衡であれば、バス a 26、バス b 27 の利用方法を制御情報交信重視型に自動チューニングする。

【効果】 計算機システムの運用形態が変化しても、記憶制御装置を構成する資源を有効利用することが出来る。



【特許請求の範囲】

【請求項 1】 記憶制御装置を構成する複数のモジュールを接続するバスの利用形態を動的に制御するバス制御方法であって、中央処理装置から記憶制御装置に発行される入出力要求がシーケンシャルアクセスの比率が高いか、ランダムアクセスの比率が高いかを判定し、シーケンシャルアクセスの比率が高い場合はデータ転送能力を重視したバス利用方法に変更し、ランダムアクセスの比率が高い場合は制御情報送信能力を重視したバス利用方法に変更することを特徴とする記憶制御装置におけるバス制御方法。

【請求項 2】 記憶装置を制御するための記憶装置アダプタと、記憶装置に格納されているデータの一部を格納するキャッシュメモリと、外部からの入出力要求を処理するチャネルアダプタと、前記記憶装置アダプタと前記チャネルアダプタの制御情報を格納する制御メモリと、前記記憶装置アダプタ、前記キャッシュメモリ、前記チャネルアダプタおよび前記制御メモリが接続されるバスとを有する記憶制御装置において、記憶装置に対するシーケンシャルアクセスに伴うデータ転送量に基づいてバス負荷特性を予測するバス負荷特性予測手段と、そのバス負荷特性予測手段により予測したバス負荷特性に基づいてバス利用方法を決定するバス利用方法決定手段とを具備し、そのバス利用方法決定手段の決定したバス利用方法に基づいて前記記憶装置アダプタ、前記キャッシュメモリ、前記チャネルアダプタおよび前記制御メモリがバスを介して制御情報送信とデータ転送とを実行することを特徴とする記憶制御装置。

【請求項 3】 請求項 2 に記載の記憶制御装置において、複数のバスのそれぞれの使用率を測定するバス使用率測定手段を具備し、前記バス利用方法決定手段は、前記測定された使用率が不均衡である時を契機としてバス利用方法を決定することを特徴とする記憶制御装置。

【請求項 4】 請求項 2 または請求項 3 に記載の記憶制御装置において、記憶装置へのシーケンシャルアクセスの残量を検出するシーケンシャルアクセス残量検出手段を具備し、前記バス利用方法決定手段は、前記シーケンシャルアクセスの残量の増減傾向に基づいてバス利用方法を決定することを特徴とする記憶制御装置。

【請求項 5】 請求項 2 から請求項 4 のいずれかに記載の記憶制御装置において、各バスは制御情報送信用かデータ転送用か制御情報送信およびデータ転送用の 3 種類のうちのいずれかで使用され、前記バス利用方法決定手段は、バス利用方法として、前記 3 種類の各バスへの割り当てパターンを決定することを特徴とする記憶制御装置。

【請求項 6】 請求項 2 から請求項 4 のいずれかに記載の記憶制御装置において、各バスは制御情報送信用かデータ転送用の 2 種類のうちのいずれかで使用され、前記バス利用方法決定手段は、バス利用方法として、前記

2 種類の各バスへの割り当てパターンを決定することを特徴とする記憶制御装置。

【発明の詳細な説明】

【0001】

50 【産業上の利用分野】 本発明は、記憶制御装置におけるバス制御方法および記憶制御装置に関し、さらに詳しくは、計算機システムの運用形態に応じて記憶制御装置内のバスの利用方法を動的に制御するバス制御方法およびそのバス制御方法を実施する記憶制御装置に関する。

10 【0002】

【従来の技術】 記憶制御装置は、中央処理装置と記憶装置の間に位置し、中央処理装置からの入出力要求にตอบสนองして、中央処理装置と記憶装置の間のデータ転送を制御する。この記憶制御装置においても、高性能化、高信頼化のため、マルチプロセッサ方式が採用されるようになってきている。この場合、各プロセッサの接続方式としては、共通バスによる接続が機能拡張性の観点から優れている。前記共通バスでは、中央処理装置から発行された入出力要求を処理するための制御情報の送信および中央処理装置との間で授受されるデータの転送が行われる。

20 【0003】 共通バス接続を用いたマルチプロセッサ方式の記憶制御装置の従来例としては、「FUJITSU.VOL42, NO.1, pp12-20(1991)」に記載されているファイル制御装置がある。このファイル制御装置は、当該ファイル制御装置を構成する機能を複数のモジュールに分割し、各モジュールにマイクロプロセッサを配置し、各モジュールを共通バスにより接続している。また、各モジュールおよび共通バスを多重化することにより、高信頼化を図っている。

30 【0004】

【発明が解決しようとする課題】 従来の記憶制御装置では、計算機システムの主たる運用形態に適合した共通バスの利用方法が採用されている。たとえば、主としてオンライン処理を行う計算機システムでは、応答性が重要であるため、前記制御情報送信能力を重視した共通バスの利用方法が採用されている。また、バッチ処理を行う計算機システムでは、大量のデータを扱う場合が多いため、前記データ転送能力を重視した共通バスの利用方法が採用されている。しかし、従来の記憶制御装置では、共通バスの利用方法の動的変更については配慮されていないため、計算機システムの運用形態が変化した場合には、バス利用効率が悪くなり、記憶制御装置を構成する資源を有効利用することが出来なくなる問題点がある。

40 例えば、制御情報送信能力を重視した共通バスの利用方法を採用した銀行のオンライン計算機システムでは、昼間は現金自動預け払い機などによるオンライン処理比率が高いためバス利用効率が良いが、夜間はクレジットの引落しなどによるバッチ処理比率が高くなるためバス利用効率が悪くなる。このため、記憶制御装置を構成する

資源を有効利用することが出来なくなる。そこで、本発明の目的は、計算機システムの運用形態の変化に対応して、共通バスの利用方法を動的に制御するバス制御方法およびそのバス制御方法を実施する記憶制御装置を提供することにある。

【0005】

【課題を解決するための手段】第1の観点では、本発明は、記憶制御装置を構成する複数のモジュールを接続するバスの利用形態を動的に制御するバス制御方法であって、中央処理装置から記憶制御装置に発行される入出力要求がシーケンシャルアクセスの比率が高いか、ランダムアクセスの比率が高いかを判定し、シーケンシャルアクセスの比率が高い場合はデータ転送能力を重視したバス利用方法に変更し、ランダムアクセスの比率が高い場合は制御情報交信能力を重視したバス利用方法に変更することを特徴とする記憶制御装置におけるバス制御方法を提供する。

【0006】第2の観点では、本発明は、記憶装置を制御するための記憶装置アダプタと、記憶装置に格納されているデータの一部を格納するキャッシュメモリと、外部からの入出力要求を処理するチャネルアダプタと、前記憶装置アダプタと前記チャネルアダプタの制御情報を格納する制御メモリと、前記憶装置アダプタ、前記キャッシュメモリ、前記チャネルアダプタおよび前記制御メモリが接続されるバスとを有する記憶制御装置において、記憶装置に対するシーケンシャルアクセスに伴うデータ転送量に基づいてバス負荷特性を予測するバス負荷特性予測手段と、そのバス負荷特性予測手段により予測したバス負荷特性に基づいてバス利用方法を決定するバス利用方法決定手段とを具備し、そのバス利用方法決定手段の決定したバス利用方法に基づいて前記憶装置アダプタ、前記キャッシュメモリ、前記チャネルアダプタおよび前記制御メモリがバスを介して制御情報交信とデータ転送とを実行することを特徴とする記憶制御装置を提供する。

【0007】

【作用】上記第1の観点によるバス制御方法では、中央処理装置から記憶制御装置に発行される入出力要求がシーケンシャルアクセスの比率が高いか、ランダムアクセスの比率が高いかを判定する。そして、シーケンシャルアクセスの比率が高い場合は、データ転送能力を重視したバス利用方法に変更する。シーケンシャルアクセスは、ファイルの先頭のデータから順に読み出し／書き込みを行うアクセスパターンであり、一般に、バッチ処理に用いられ、大量のデータ転送が行われ、バス負荷としてはデータ転送の比率が高い。そこで、データ転送能力を重視したバス利用方法に変更すれば、バス利用効率の低下を防止できる。これに対し、ランダムアクセスの比率が高い場合は、制御情報交信能力を重視したバス利用方法に変更する。ランダムアクセスは、ファイルの任意の

位置のデータを読み出し／書き込みするアクセスパターンであり、一般に、オンライン処理に用いられ、データ転送量は少なく、バス負荷としては制御情報交信の比率が高い。そこで、制御情報交信能力を重視したバス利用方法に変更すれば、バス利用効率の低下を防止できる。従って、計算機システムの運用形態が変化しても、記憶制御装置を構成する資源を有効利用することが出来る。

【0008】上記第2の観点による本発明の記憶制御装置では、記憶装置に対するシーケンシャルアクセスに伴うデータ転送量に基づいてバス負荷特性予測手段によりバス負荷特性を予測し、その予測したバス負荷特性に基づいてバス利用方法をバス利用方法決定手段により決定し、その決定したバス利用方法に基づいて記憶制御装置の各モジュールがバスを介して制御情報交信とデータ転送とを実行する。例えば、シーケンシャルアクセスに伴うデータ転送量が増加する傾向があれば、シーケンシャルアクセスの比率が高い負荷特性が予測されるから、データ転送能力を重視したバス利用方法が決定される。一方、シーケンシャルアクセスに伴うデータ転送量が減少する傾向があれば、ランダムアクセスの比率が高い負荷特性が予測されるから、制御情報交信能力を重視したバス利用方法が決定される。従って、上記第1の観点によるバス制御方法と同様にバス利用効率の低下を防止でき、計算機システムの運用形態が変化しても記憶制御装置を構成する資源を有効利用することが出来る。

【0009】

【実施例】以下、本発明の実施例を図面を参照して説明する。なお、これにより本発明が限定されるものではない。

【0010】—第1実施例—

図1は、本発明の第1実施例の記憶制御装置を含む計算機システムの要部構成図である。この計算機システムS1において、中央処理装置1は、記憶制御装置2を介して、1台以上の記憶装置3に接続されている。前記中央処理装置1は、演算装置12と、主記憶装置16と、入出力プロセッサ14とから構成されている。中央処理装置1上では、オンライン処理やバッチ処理などの業務プログラムが動作し、その業務プログラムが発行するデータの入出力要求は、入出力プロセッサ14から前記記憶制御装置2に転送される。

【0011】前記記憶制御装置2は、キャッシュメモリ24と、チャネルアダプタ21a、21bと、記憶装置アダプタ22、22と、制御メモリ23と、バスa26と、バスb27とから構成されている。前記キャッシュメモリ24は、記憶装置3に格納されているデータの一部を格納する。前記チャネルアダプタ21a、21bは、中央処理装置1と前記キャッシュメモリ24の間のデータ転送を制御する。このうち、チャネルアダプタ21aは、機能として、バスの負荷量を予測するバス負荷特性予測部201と、バスの使用率を測定するバス使用

率測定部 202 と、バスの利用方法を決定するバス利用方法決定部 203 と、バスにアクセスするバスアクセス部 204 を備えている。また、チャンネルアダプタ 21b は、機能として、バスにアクセスするバスアクセス部 204 を備えている。前記記憶装置アダプタ 22、22 は、記憶装置 3 とキャッシュメモリ 24 の間のデータ転送を制御する。前記制御メモリ 23 は、バス制御情報や、記憶装置管理情報や、キャッシュ管理情報や、後述するエクステント管理テーブル 100 などを記憶する。前記バス a 26 およびバス b 27 は、2 重化された共通バスである。

【0012】図 2 は、チャンネルアダプタ 21a の構成図である。チャンネルアダプタ 21a は、プロセッサ 210 と、メモリ 212 と、アドレスデコーダ 213 と、チャンネルインタフェース回路 211 と、制御メモリアクセス回路 215 と、データ転送制御回路 216 と、バスモニタ回路 217 と、内部バス 214 とから構成される。プロセッサ 210 は、全体の作動を制御する。メモリ 212 は、プロセッサ 210 が実行するプログラム等を格納する。アドレスデコーダ 213 は、プロセッサ 210 の制御対象のアドレスをデコードする。チャンネルインタフェース回路 211 は、中央処理装置 1 に対するインタフェースである。制御メモリアクセス回路 215 は、バス a 26 またはバス b 27 を介して、制御メモリ 23 に対してアクセスする。データ転送制御回路 216 は、DMA 回路を内蔵し、プロセッサ 210 の指示により、バス a 26 またはバス b 27 を介して、中央処理装置 1 とキャッシュメモリ 24 の間のデータ転送を制御する。バスモニタ回路 217 は、バス a 26 およびバス b 27 の単位時間あたりの使用率を測定する。チャンネルアダプタ 21b は、上記チャンネルアダプタ 21a とほぼ同じ構成である。

【0013】図 3 は、記憶装置アダプタ 22 の内部構成図である。記憶装置アダプタ 22 は、プロセッサ 210 と、メモリ 212 と、アドレスデコーダ 213 と、記憶装置インタフェース回路 221 と、制御メモリアクセス回路 215 と、データ転送制御回路 216 と、内部バス 214 とから構成される。このうち、プロセッサ 210 と、メモリ 212 と、アドレスデコーダ 213 と、制御メモリアクセス回路 215 と、内部バス 214 は、上記チャンネルアダプタ 21a の構成要素と同じである。前記記憶装置インタフェース回路 221 は、記憶装置 3 に対するインタフェースである。

【0014】なお、第 1 実施例の記憶制御装置 2 は、2 つのチャンネルアダプタ 21a、21b と、2 つの記憶装置アダプタ 22、22 とを備えているが、これらが 3 つ以上あってもかまわない。

【0015】次に、この計算機システム S1 の動作を説明する。中央処理装置 1 は、業務プログラムを実行し、記憶装置 3 に対するデータの入出力を行う必要がある

と、チャンネルプログラムを主記憶装置 16 に配置すると共に、入出力起動命令を発行し、入出力プロセッサ 14 を起動する。起動された入出力プロセッサ 14 は、主記憶装置 16 上のチャンネルプログラムを実行する。

05 【0016】図 4 は、チャンネルプログラムの処理を示す流れ図である。処理 401 では、入出力プロセッサ 14 は、入出力するデータの記憶装置 3 上の領域（エクステント）を指定する DEF_EXT コマンドを実行する。図 5 に示すように、DEF_EXT コマンドは、コマンドの内容を記述した CCW（チャンネルコマンドワード）
10 501 と、その CCW 501 内の主記憶装置アドレスでポイントされた主記憶装置 16 上の領域に格納されたパラメタ 502 とから構成されている。前記 CCW 501 は、コマンドコードと、フラグと、バイトカウントと、主記憶装置アドレスとを有している。前記パラメタ 502 は、マスクバイトと、グローバル属性と、ブロック長と、エクステント開始アドレスと、エクステント終了アドレスとを有している。前記マスクバイトは、後続の CCW において指定可能な CCW の種類を指定する。前記
15 グローバル属性は、ディスクキャッシュの利用方法や、当該入出力要求がシーケンシャルアクセスであるか否かを指定する。前記ブロック長は、入出力対象のファイルが等長レコードの場合に 1 つのレコードにおいて転送されるデータのバイト数を指定する。DEF_EXT コマンドが実行されると、コマンドコードとパラメタ 502 とが記憶制御装置 2 に転送される。これに対し、記憶制御装置 2 は、受領したコマンドコードとパラメタ 502 に矛盾がなければ、当該 DEF_EXT コマンドの正常終了を応答する。

20 【0017】処理 402 では、DEF_EXT コマンドの正常終了の応答を受領した入出力プロセッサ 14 は、LOCATE コマンドを実行する。図 6 に示すように、LOCATE コマンドは、CCW 601 と、記憶制御装置 2 において処理すべきレコードの位置付け情報（磁気ヘッドを位置付けるための情報）やレコード数などを指定するパラメタ 602 とから構成されている。前記 CCW 601 は、コマンドコードと、フラグと、バイトカウントと、主記憶装置アドレスとを有している。前記パラメタ 602 は、操作バイトと、補助バイトと、レコード
35 カウントと、シークアドレスと、サーチパラメタと、セクタ番号と、転送長係数とを有している。LOCATE コマンドが実行されると、コマンドコードと、パラメタ 602 とが記憶制御装置 2 に転送される。これに対し、記憶制御装置 2 は、受領したコマンドコードと、パラメタ 602 に矛盾がなければ、当該 LOCATE コマンドの正常終了を中央処理装置 1 に応答する。

40 【0018】処理 403 では、LOCATE コマンドの正常終了の応答を受領した入出力プロセッサ 14 は、READ/WRITE コマンド（READ コマンドまたは WRITE コマンド）を実行する。図 7 に示すように、
50

READ/WRITEコマンドは、CCW701と、そのCCW701内の主記憶装置アドレスでポイントされた主記憶装置16上のREAD/WRITEデータ領域702とから構成されている。前記CCW701は、コマンドコードと、フラグと、バイトカウントと、主記憶装置アドレスとを有している。前記READ/WRITEデータ領域702は、READコマンドのときに記憶制御装置2から転送されたデータを格納し、WRITEコマンドのときに記憶制御装置2へ転送するデータを格納する領域である。READコマンドが実行されると、コマンドコードが記憶制御装置2に転送される。これに対し、記憶制御装置2は、前記LOCATEコマンドにより指定されたレコードのデータを入出力プロセッサ14に転送する。入出力プロセッサ14は、記憶制御装置2から転送されたデータを前記READ/WRITEデータ領域702に格納する。WRITEコマンドが実行されると、コマンドコードと、前記READ/WRITEデータ領域702に記憶されているデータとが記憶制御装置2に転送される。これに対し、記憶制御装置2は、前記LOCATEコマンドにより指定されたレコードの領域に当該データを書き込む。

【0019】以上のように、入出力プロセッサ14は、DEF_EXTコマンドと、LOCATEコマンドと、READ/WRITEコマンドとにより、入出力要求を処理する。これらコマンドの一連のCCWを、コマンドチェーンと呼ぶ。

【0020】次に、記憶制御装置2の動作を説明する。記憶制御装置2のチャネルアダプタ21a（または21b）は、中央処理装置1の入出力プロセッサ14からコマンドチェーンを受領すると、制御メモリ23の記憶装置管理情報を参照し、入出力の対象の記憶装置3が“使用中”であるか否かを判定する。当該記憶装置3が“使用中”でなければ、記憶装置管理情報に“使用中”を設定し、記憶装置3の使用権を得る。なお、記憶装置3の使用権には、チャネルアダプタ21a（または21b）に対するものと、記憶装置アダプタ22、22に対するものがあり、前者を論理記憶装置使用権と呼び、後者を物理記憶装置使用権と呼ぶ。当該記憶装置3が“使用中”ならば、当該記憶装置3が“使用中”であって入出力要求の実行ができないことを中央処理装置1の入出力プロセッサ14に応答する。

【0021】チャネルアダプタ21a（または21b）は、論理記憶装置使用権を得ると、制御メモリ23に格納されているキャッシュ管理情報を参照して、LOCATEコマンドにより指定されたレコードがキャッシュメモリ24に存在するか否かを判定する。当該レコードがキャッシュメモリ24に存在しなければ、記憶装置アダプタ22に対して、制御メモリ23を介して、当該レコードをキャッシュメモリ24に格納するように依頼し、当該コマンドチェーンに対する処理を中断する。また、

チャネルアダプタ21a（または21b）のいずれにおいても当該コマンドチェーンに対する処理を再開可能とするため、当該コマンドチェーンに対する処理を再開するための情報を制御メモリ23に格納する。

05 【0022】記憶装置アダプタ22は、チャネルアダプタ21からの依頼を制御メモリ23から読み出すと、制御メモリ23の記憶装置管理情報をアクセスして、記憶装置3に対する物理記憶装置使用権を得る。その後、制御メモリ23のキャッシュ管理情報をアクセスし、記憶装置3から読み出したレコードを格納するための領域をキャッシュメモリ24に確保する。そして、記憶装置3に対してレコードの読出要求を発行する。記憶装置3は、前記レコードの読出要求に応じて当該レコードを読み出し、記憶制御装置2の記憶装置アダプタ22へ転送する。記憶装置アダプタ22は、転送されてきたレコードを、キャッシュメモリ24に格納する。そして、チャネルアダプタ21a（または21b）に対して、制御メモリ23を介して、入出力対象のレコードのキャッシュメモリ24への読出し終了報告を行う。チャネルアダプタ21b（または21a）は、前記読出し終了報告を制御メモリ23から読み出すと、コマンドチェーンに対する処理を再開するための情報を制御メモリ23から読み出し、処理を再開する。そして、キャッシュメモリ24に格納されているレコードを中央処理装置1に転送する。

【0023】上記記憶制御装置2において、チャネルアダプタ21a（または21b）および記憶装置アダプタ22、22と制御メモリ23およびキャッシュメモリ24の間の制御情報の転送やデータの転送は、バスa26またはバスb27を介して行われる。これらバスa26またはバスb27の使用態様は、バス制御機能により、入出力要求の状況変化に対応して動的に制御される。このバス制御機能について次に説明する。バス制御機能は、チャネルアダプタ21aで動作するバス負荷特性予測部201、バス使用率測定部202、バス利用方法決定部203、バスアクセス部204、チャネルアダプタ21bと、記憶装置アダプタ22で動作するバスアクセス部204とにより実現する。

【0024】図8は、チャネルアダプタ21aで実行されるバス制御機能の処理の流れ図である。このバス制御機能は、一定時間間隔で起動される。処理801では、バス使用率測定部202によりバスa26およびバスb27のそれぞれの使用率を求める。すなわち、チャネルアダプタ21aのバスモニタ回路217は、図9に示すように、クロックの立上がりエッジでバスa26およびバスb27のそれぞれのバスビジー信号をモニタし、もしビジーならバスa26およびバスb27のそれぞれに対応する内蔵カウンタを（+1）している。そして、処理801の実行時に各内蔵カウンタの値を読み出し、そのカウンタ値を前記一定時間間隔中のクロック数で割

る。これがバス a 2 6 およびバス b 2 7 のそれぞれの使用率である。なお、内蔵カウンタの値を読み出した後、内蔵カウンタの値をクリアする。図 9 の例では一定時間間隔中のクロック数が“10”で、読み出した内蔵カウンタの値が“5”なので、バスの使用率は50%となる。

【0025】処理802では、バス負荷特性予測部201により、バス負荷特性予測指標として、シーケンシャルアクセス残量を計算する。シーケンシャルアクセス残量をバス負荷特性予測指標とする理由は次の通りである。記憶装置3へのアクセスパターンには、シーケンシャルアクセスとランダムアクセスがある。シーケンシャルアクセスは、ファイルの先頭のデータから順に読み出し／書き込みを行うアクセスパターンであり、一般に、バッチ処理に用いられ、大量のデータ転送が行われ、バス負荷としてはデータ転送の比率が高い。これに対し、ランダムアクセスは、ファイルの任意の位置のデータを読み出し／書き込みするアクセスパターンであり、一般に、オンライン処理に用いられ、データ転送量は少なく、バス負荷としては制御情報交信の比率が高い。したがって、シーケンシャルアクセス残量が多ければデータ転送の比率が高いと予測でき、シーケンシャルアクセス残量が少なければ制御情報交信の比率が高いと予測することが出来る。

【0026】シーケンシャルアクセス残量は、制御メモリ23に格納されているエクステント管理テーブルを参照して求める。図10は、エクステント管理テーブルの構造図である。このエクステント管理テーブル100は、記憶装置3ごとに設けられており、中央処理装置1から発行されたコマンドチェーンにより入出力対象となったファイルのエクステントに対応したエントリを持つ。各エントリは、次に示すフィールドから構成されている。

- ・エクステント開始アドレス1001…入出力対象ファイルのエクステントの開始アドレスを示す。
- ・エクステント終了アドレス1002…入出力対象ファイルのエクステントの終了アドレスを示す。
- ・ブロック長1003…入出力対象ファイルのレコード内のデータの長さを示す。
- ・入出力処理終了アドレス1004…最後に中央処理装置1から発行されたコマンドチェーンによりアクセスされたレコードの次のレコードのアドレスを示す。
- ・入出力処理終了時刻1005…最後に中央処理装置1から発行されたコマンドチェーンの処理の終了時刻を示す。
- ・データ転送残量1006…図11に示すように、中央処理装置1から最後に当該エクステントに対し発行されたコマンドチェーンにおいて処理対象となったレコードの次のレコードからエクステント終了アドレスのレコードまでのデータ量である。

【0027】図12に、エクステント管理テーブル100への情報格納処理の流れ図を示す。この情報格納処理は、中央処理装置1から発行されたコマンドチェーンの処理終了時に起動される。処理1201では、当該コマンドチェーンによる記憶装置3への入出力処理はシーケンシャルアクセスであるか否か判定する。シーケンシャルアクセスであれば処理1202に進み、シーケンシャルアクセスでなければ情報格納処理を終了する。この判定は、コマンドチェーンの先頭で指定されるDEF_EXTコマンドのパラメタ502のグローバル属性に設定されているシーケンシャルアクセスフラグを参照して行なう。なお、パラメタ502は、当該コマンド受領時に制御メモリ23に格納されている。処理1202では、当該入出力処理においてエクステントの終了を示すEOF（エンド オブ ファイル）を検出したか否か判定する。EOFを検出していなければ処理1203に進み、EOFを検出したら処理1208に進む。

【0028】処理1203では、データ転送残量を計算する。具体的には、図11に示すように、中央処理装置1から最後に当該エクステントに対して発行されたLOCATEコマンドにより指定された位置付けアドレスのレコードの直後のレコードからエクステント終了アドレスのレコードまでのデータ量を計算する。処理1204では、データ転送量が少ないシーケンシャルアクセスの入出力処理であればバスに対する負荷はランダムアクセスと等価と見なせるため、データ転送残量≤規定値（例えば、16KB）か否かの判定を行う。そして、データ転送残量≤規定値でなければ、処理1205に進む。データ転送残量≤規定値ならば、処理1208に進む。

【0029】処理1205では、当該エクステントに対応するエントリがエクステント管理テーブル100に登録済みであるか否か判定する。登録済みでなければ処理1206に進み、登録済みであれば処理1207に進む。処理1206では、エクステント管理テーブル100に、当該エクステント用のエントリを確保する。そして、当該エントリのエクステント開始アドレス1001とエクステント終了アドレス1002とブロック長1003の3つのフィールドに、制御メモリ23に格納したDEF_EXTコマンドのパラメタ502から値を代入する。処理1207では、当該エントリの入出力処理終了時刻1005と、データ転送残量1006のフィールドに値を設定し、情報格納処理を終了する。

【0030】処理1208では、当該エクステントに対応するエントリがエクステント管理テーブル100に存在するか否か判定する。エントリが存在すれば処理1209に進み、エントリが存在しなければ情報格納処理を終了する。処理1209では、当該エントリを削除し、エクステント管理テーブル100への情報格納処理を終了する。

【0031】バス負荷特性予測部201は、上記エク

テント管理テーブル 100 を参照し、すべてのエントリのデータ転送残量 1006 を合計した値をシーケンシャルアクセス残量とする。但し、エクステント管理テーブル 100 のエントリの入出力終了時刻 1005 を参照し、一定時間（例えば、10 秒）以上アクセスされないエクステントは除外する。なお、一定時間以上アクセスされていないエクステントに対応するエントリをこの時点で削除しても良い。

【0032】図 8 に戻り、処理 803 では、バス a26 とバス b27 の使用率が不均衡であるか否かを判定する。例えば、いずれかのバスの使用率が 70 % 以上であり、他方のバスの使用率が 30 % 未満なら、バス a26 とバス b27 の使用率が不均衡であると判定する。使用率が不均衡であれば、処理 804 に進む。不均衡でなければ、現在のバス利用方法で支障ないと判断されるので、処理を終了する。

【0033】処理 804 では、バス利用方法決定部 203 は、バス利用方法決定処理を実行し、前記処理 801 において求めたバス a26 およびバス b27 の使用率と、前記処理 802 において求めたシーケンシャルアクセス残量とから、バス a26 およびバス b27 の利用方法を決定する。図 13 に示すように、バス a26 およびバス b27 の利用方法には、次の 3 つのバスモードがある。

- ・通常モード…システム立ち上げ時のバスモードであり、バス a26 を制御情報交信用（すなわち、制御メモリ 23 をアクセスするための専用のバス）とし、バス b27 をデータ転送用（すなわち、キャッシュメモリ 24 をアクセスするための専用のバス）とする。

- ・シーケンシャルアクセスモード…中央処理装置 1 から発行される入出力要求がシーケンシャルアクセスの比率が高い場合のバスモードであり、バス a26 を制御情報交信用およびデータ転送用とし、バス b27 をデータ転送用とする。

- ・ランダムモード…中央処理装置 1 から発行される入出力要求がランダムアクセスの比率が高い場合のバスモードであり、バス a26 を制御情報交信用とし、バス b27 を制御情報交信用およびデータ転送用とする。

【0034】図 14 に、バス利用方法決定処理の流れ図を示す。処理 1301 では、バス a26 の使用率とバス b27 の使用率のいずれの使用率が他方より高いかを判定する。バス b27 の使用率がバス a26 の使用率よりも高ければ、処理 1302 に進む。バス a26 の使用率がバス b27 の使用率よりも高ければ、処理 1307 に進む。処理 1302 では、シーケンシャルアクセス残量が増加傾向にあるか否かを判定する。これは、過去に起動されたバス管理機能の処理で計算したシーケンシャルアクセス残量を制御メモリ 23 から読み出し、そのシーケンシャルアクセス残量と、今回計算したシーケンシャルアクセス残量とを比較することにより判定する。シーケ

ンシャルアクセス残量が増加傾向にあれば、処理 1303 に進む。シーケンシャルアクセス残量が増加傾向になれば、データ転送能力を現在以上に増やす必要はないから、バス利用方法決定処理を終了する。処理 1303 では、現在のバスモードが通常モードであるか否かを判定する。通常モードであれば処理 1304 に進み、通常モードでなければ処理 1305 に進む。処理 1304 では、バスモードとしてシーケンシャルモードを選択する。すなわち、バス a26 にもデータ転送を分担させることとし、現在よりもデータ転送能力を強化したバス利用方法とする。処理 1305 では、現在のバスモードがランダムモードであるか否かを判定する。ランダムモードであれば、処理 1310 に進む。ランダムモードでなければ、シーケンシャルモードであり、現在以上にデータ転送能力を強化できるバスモードはないから、バス利用方法決定処理を終了する。処理 1306 では、バスモードとして通常モードを選択する。すなわち、バス b27 を制御情報交信用およびデータ転送用からデータ転送用に専用化することとし、現在よりもデータ転送能力を強化したバス利用方法とする。

【0035】処理 1307 では、シーケンシャルアクセス残量が増加傾向にあるか否かを判定する。シーケンシャルアクセス残量が増加傾向にあれば、処理 1307 に進む。シーケンシャルアクセス残量が増加傾向になれば、制御情報交信能力を現在以上に増やす必要はないから、バス利用方法決定処理を終了する。処理 1308 では、現在のバスモードが通常モードであるか否かを判定する。通常モードであれば処理 1309 に進み、通常モードでなければ処理 1310 に進む。処理 1309 では、バスモードとしてランダムモードを選択する。すなわち、バス b27 にも制御情報交信を分担させることとし、現在よりも制御情報交信能力を強化したバス利用方法とする。処理 1310 では、現在のバスモードがシーケンシャルモードであるか否かを判定する。シーケンシャルモードであれば、処理 1311 に進む。シーケンシャルモードでなければ、ランダムモードであり、現在以上に制御情報交信能力を強化できるバスモードはないから、バス利用方法決定処理を終了する。処理 1311 では、バスモードとして通常モードを選択する。すなわち、バス a26 を制御情報交信用およびデータ転送用から制御情報交信用に専用化することとし、現在よりも制御情報交信能力を強化したバス利用方法とする。

【0036】図 8 に戻り、処理 805 では、チャネルアダプタ 21a は、前記処理 804 で決定したバス利用方法を、記憶制御装置 2 内の全てのチャネルアダプタ 21b および記憶装置アダプタ 22、22 に通知する。各アダプタ上で動作するバスアクセス部 204 は、通知されたバス利用方法に基づき、制御メモリアクセス回路 215 およびデータ転送制御回路 216 のそれぞれに対し、利用するバスを設定する。これにより、制御メモリアク

セス回路 215 は、バスモードがシーケンシャルモードと通常モードの場合はバス a 26 のみを制御情報交信に利用し、ランダムモードの場合はバス a 26 およびバス b 27 を制御情報交信に利用する。一方、データ転送回路 212 は、バスモードがランダムモードと通常モードの場合はバス b 27 のみをデータ転送に利用し、シーケンシャルモードの場合はバス b 27 およびバス a 26 をデータ転送に利用する。

【0037】図 15 は、バスモードの状態遷移図である。

■通常モードのときに、バス a 26 の使用率よりバス b 27 の使用率が著しく高く且つシーケンシャルアクセス残量が増加傾向にあるなら、シーケンシャルモードに移行する。また、バス b 27 に障害が発生すれば、シーケンシャルモードに移行する。また、通常モードのときに、バス a 26 の使用率がバス b 27 の使用率より著しく高く且つシーケンシャルアクセス残量が減少傾向にあるなら、ランダムモードに移行する。また、バス a 26 に障害が発生すれば、ランダムモードに移行する。

■シーケンシャルモードのときに、バス a 26 の使用率がバス b 27 の使用率より著しく高く且つシーケンシャルアクセス残量が減少傾向にあるなら、通常モードに移行する。また、バス a 26 に障害が発生すれば、ランダムモードに移行する。

■ランダムモードのときに、バス a 26 の使用率よりバス b 27 の使用率が著しく高く且つシーケンシャルアクセス残量が増加傾向にあるなら、通常モードに移行する。また、バス b 27 に障害が発生すれば、シーケンシャルモードに移行する。上記のようにバスモードの状態遷移を制御すれば、計算機システム S1 の運用形態の変化に対応して、共通バス 26、27 の利用方法が動的に制御されるようになる。また、いずれかのバスにおいて障害が発生しても、記憶制御装置 2 の運転を継続できるように、共通バス 26、27 の利用方法が動的に制御されるようになる。

【0038】上記第 1 実施例の記憶制御装置 2 によれば、中央処理装置 1 から発行される入出力要求の特性の変化に応じて、バス利用方法を変化させることが出来る。すなわち、シーケンシャルアクセス比率が高い入出力負荷環境においてはデータ転送を重視したバス利用方法とし、ランダムアクセス比率が高い入出力負荷環境においては制御情報交信を重視したバス利用方法とすることが出来る。従って、例えば銀行オンラインシステムに適用すると、昼間は現金自動預け払い機などによるオンライン処理比率が高いので制御情報交信を重視したバス利用方法となり、夜間はクレジットの引落しなどによるバッチ処理比率が高くなるのでデータ転送を重視したバス利用方法となり、常に最適のバス利用方法で共通バスを利用できるようになる。

【0039】なお、上記第 1 実施例では、記憶制御装置

2 は、2 つのチャネルアダプタ 21a、21b と、2 つの記憶装置アダプタ 22、22 とを具備するものとしたが、チャネルアダプタおよび記憶装置アダプタの個数は任意である。

05 【0040】-第 2 実施例-

図 16 は、本発明の第 2 実施例の記憶制御装置を含む計算機システム S2 の要部構成図である。この計算機システム S2 は、第 1 実施例の計算機システム S1 とは、記憶制御装置 2a の共通バスの構成およびバスモードが異なっている。まず、共通バスの構成は、バス a 26、バス b 27、バス c 28 の 3 つからなる。前記バス a 26 には、チャネルアダプタ 521a、521b と、記憶装置アダプタ 522、522 と、制御メモリ 23 とが接続されている。また、前記バス b 27 には、チャネルアダプタ 521a、521b と、記憶装置アダプタ 522、522 と、キャッシュメモリ 24 とが接続されている。さらに、前記バス c 28 には、チャネルアダプタ 521a、521b と、記憶装置アダプタ 522、522 と、制御メモリ 23 と、キャッシュメモリ 24 とが接続されている。次に、共通バスのバスモードは、シーケンシャルモードおよびランダムモードの 2 つのバスモードからなる。図 17 に示すように、シーケンシャルモードでは、バス a 26 は制御情報交信用に使用され、バス b 27 およびバス c 28 はデータ転送用に使用される。一方、ランダムモードでは、バス a 26 およびバス c 28 は制御情報交信用に使用され、バス b 27 はデータ転送用に使用される。

【0041】図 18 は、チャネルアダプタ 521a の内部構成図である。このチャネルアダプタ 521a が第 1 実施例のチャネルアダプタ 21a と異なる点は、制御メモリアクセス回路 215 とデータ転送制御回路 216 とバスモニタ回路 217 のバスへの接続方式にある。すなわち、制御メモリアクセス回路 215 は、バス a 26 およびバス c 28 のみに接続している。データ転送制御回路 216 は、バス b 27 およびバス c 28 のみに接続している。バスモニタ回路 217 は、バス a 26 とバス b 27 のみに接続している。

【0042】図 19 は、記憶装置アダプタ 522 の内部構成図である。この記憶装置アダプタ 522 が第 1 実施例の記憶装置アダプタ 22 と異なる点は、制御メモリアクセス回路 215 とデータ転送回路 216 のバスの接続方式にある。すなわち、制御メモリアクセス回路 215 は、バス a 26 およびバス c 28 のみに接続している。データ転送制御回路 216 は、バス b 27 およびバス c 28 のみに接続している。

【0043】次に、この計算機システム S2 の動作を説明する。中央処理装置 1 の入出力プロセッサ 14 でチャネルプログラムを実行したときの処理手順は、第 1 実施例における図 4 の流れ図と同様である。記憶制御装置 2a のチャネルアダプタ 521a によるバス管理機能の処

理手順は、第 1 実施例における図 8 の流れ図の処理 8 0 4 が図 2 0 のバス利用方法決定処理 8 0 4 a に代る以外は図 8 の流れ図と同様である。図 2 0 の処理 1 8 0 1 では、バス a 2 6 の使用率とバス b 2 7 の使用率のいずれの使用率が他方より高いかを判定する。バス b 2 7 の使用率がバス a 2 6 の使用率よりも高ければ、処理 1 8 0 2 に進む。バス a 2 6 の使用率がバス b 2 7 の使用率よりも高ければ、処理 1 8 0 5 に進む。処理 1 8 0 2 では、シーケンシャルアクセス残量が増加傾向にあるか否か判定する。シーケンシャルアクセス残量が増加傾向にあれば、処理 1 8 0 3 に進む。シーケンシャルアクセス残量が増加傾向になれば、データ転送能力を現在以上に増やす必要はないから、バス利用方法決定処理を終了する。処理 1 8 0 3 では、現在のバスモードがランダムモードであるか否か判定する。ランダムモードであれば、処理 1 8 0 4 に進む。ランダムモードでなければ、シーケンシャルモードであり、現在以上にデータ転送能力を強化できるバスモードはないから、バス利用方法決定処理を終了する。処理 1 8 0 4 では、バスモードとしてシーケンシャルモードを選択する。すなわち、バス c 2 8 をデータ転送用とし、現在よりもデータ転送能力を強化したバス利用方法とする。

【0 0 4 4】処理 1 8 0 5 では、シーケンシャルアクセス残量が減少傾向にあるか否か判定する。シーケンシャルアクセス残量が減少傾向になれば、処理 1 8 0 6 に進む。シーケンシャルアクセス残量が減少傾向になれば、制御情報交信用を現在以上に増やす必要はないから、バス利用方法決定処理を終了する。処理 1 8 0 6 では、現在のバスモードがシーケンシャルモードであるか否か判定する。シーケンシャルモードであれば、処理 1 8 0 7 に進む。シーケンシャルモードでなければ、ランダムモードであり、現在以上に制御情報交信用を強化できるバスモードはないから、バス利用方法決定処理を終了する。処理 1 8 0 7 では、バスモードとしてランダムモードを選択する。すなわち、バス c 2 8 を制御情報交信用とし、現在よりも制御情報交信用を強化したバス利用方法とする。

【0 0 4 5】各アダプタ上で動作するバスアクセス部 2 0 4 は、決定されたバス利用方法に基づき、制御メモリアクセス回路 2 1 5 およびデータ転送制御回路 2 1 6 のそれぞれに対し、利用するバスを設定する。これにより、制御メモリアクセス回路 2 1 5 は、バスモードがシーケンシャルモードの場合はバス a 2 6 のみを制御情報交信に利用し、ランダムモードの場合はバス a 2 6 およびバス c 2 8 を制御情報交信に利用する。一方、データ転送回路 2 1 2 は、バスモードがランダムモードの場合はバス b 2 7 のみをデータ転送に利用し、シーケンシャルモードの場合はバス b 2 7 およびバス c 2 8 をデータ転送に利用する。

【0 0 4 6】なお、バス障害が発生した場合には、図 2

1 に示す 4 つのバスモードに移行すれば、いずれかのバスにおいて障害が発生しても、記憶制御装置 2 a の運転を継続できる。

- ・バス a 2 6 に障害が発生した場合は、バス b 2 7 をデータ転送用とし、バス c 2 8 を制御情報交信用とする。
- ・バス b 2 7 に障害が発生した場合は、バス a 2 6 を制御情報交信用とし、バス c 2 8 をデータ転送用とする。
- ・バス c 2 8 に障害が発生した場合は、バス a 2 6 を制御情報交信用とし、バス b 2 7 をデータ転送用とする。
- ・バス a 2 6 およびバス b 2 7 に障害が発生した場合は、バス c 2 8 を制御情報交信用およびデータ転送用とする。

【0 0 4 7】上記第 2 実施例の記憶制御装置 2 a によれば、第 1 実施例の記憶制御装置 2 と同様に、中央処理装置 1 から発行される入出力要求の特性の変化に応じて、バス利用方法を変化させることが出来る。また、2 以上のバスで同時に障害が発生しない限り、データ転送用のバスと制御情報交信用のバスとを独立化できる利点もある。

【0 0 4 8】なお、上記第 2 実施例では、記憶制御装置 2 a は、2 つのチャネルアダプタ 5 2 1 a、5 2 1 b と、2 つの記憶装置アダプタ 5 2 2、5 2 2 とを具備するものとしたが、チャネルアダプタおよび記憶装置アダプタの個数は任意である。

【0 0 4 9】

【発明の効果】本発明のバス制御方法および記憶制御装置によれば、バス負荷特性に応じてバス利用方法をデータ転送重視型または制御情報交信重視型に自動チューニングすることが出来る。このため、計算機システムの運用形態が変化しても、記憶制御装置を構成する資源を有効利用することが出来る。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の記憶制御装置を含む計算機システムの要部構成図である。

【図 2】チャネルアダプタの内部構成図である。

【図 3】記憶装置アダプタの内部構成図である。

【図 4】入出力プロセッサがチャネルプログラムを実行したときの流れ図である。

【図 5】DEFEXT コマンドの形式を示す説明図である。

【図 6】LOCATE コマンドの形式を示す説明図である。

【図 7】READ/WRITE コマンドの形式を示す説明図である。

【図 8】チャネルアダプタで動作するバス管理機能の処理の流れ図である。

【図 9】バスモニタ回路によりバス使用率を測定する原理の説明図である。

【図 1 0】エクステンツ管理テーブルの構造図である。

【図 1 1】データ転送残量の計算原理を示す説明図であ

る。

【図 1 2】エクステント管理テーブルへの情報格納処理
の流れ図である。

【図 1 3】バスモードを説明するための図表である。

【図 1 4】バス利用方法決定処理の流れ図である。

【図 1 5】バスモードの状態遷移図である。

【図 1 6】本発明の第 2 実施例の記憶制御装置を含む計
算機システムの要部構成図である。

【図 1 7】バスモードを説明するための別の図表であ
る。

【図 1 8】チャネルアダプタの別の内部構成図である。

【図 1 9】記憶装置アダプタの別の内部構成図である。

【図 2 0】バス利用方法決定処理の別の流れ図である。

【図 2 1】障害時のバスモードを説明するため図表であ
る。

【符号の説明】

S 1, S 2 計算機システム

1 中央処理装置

2, 2 a 記憶制御装置

3 記憶装置

2 1 a, 2 1 b, 5 2 1 a, 5 2 1 b チャネルアダ

プタ

2 2, 5 2 2 記憶装置アダプタ

2 3 制御メモリ

2 4 キャッシュメモリ

05 2 6 バス a

2 7 バス b

2 8 バス c

1 0 0 エクステント管理テーブル

2 0 1 バス負荷特性予測部

10 2 0 2 バス利用率測定部

2 0 3 バス利用方法決定部

2 0 4 バスアクセス部

2 1 0 プロセッサ

2 1 1 チャネルインタフェース回路

15 2 1 2 メモリ

2 1 3 アドレスデコーダ

2 1 4 内部バス

2 1 5 制御メモリアクセス回路

2 1 6 データ転送制御回路

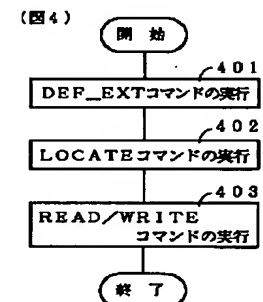
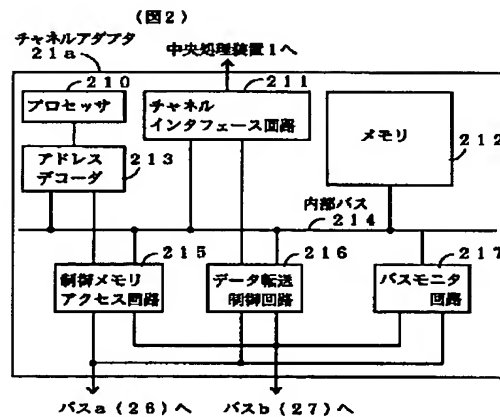
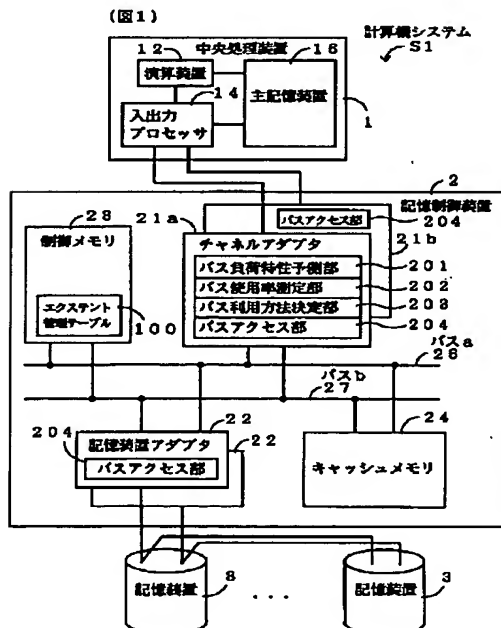
20 2 1 7 バスモニタ回路

2 2 1 記憶装置インタフェース回路

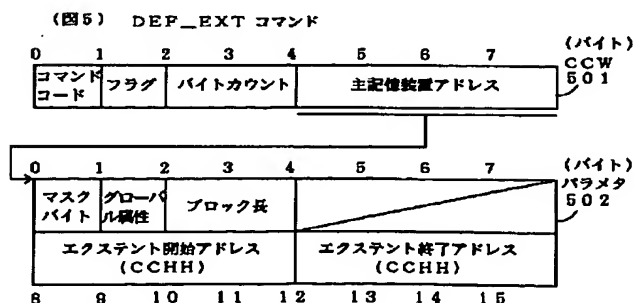
【図 1】

【図 2】

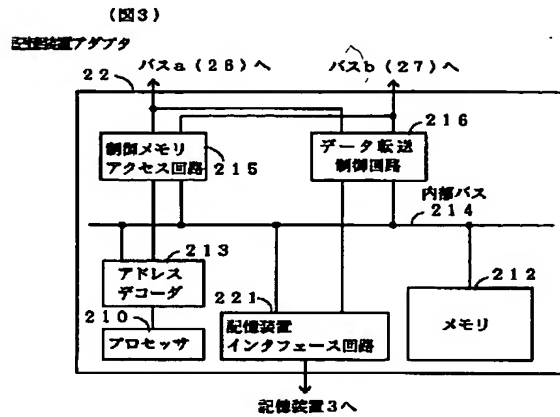
【図 4】



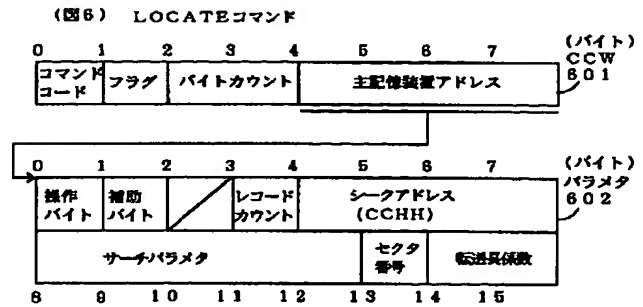
【図 5】



【図 3】

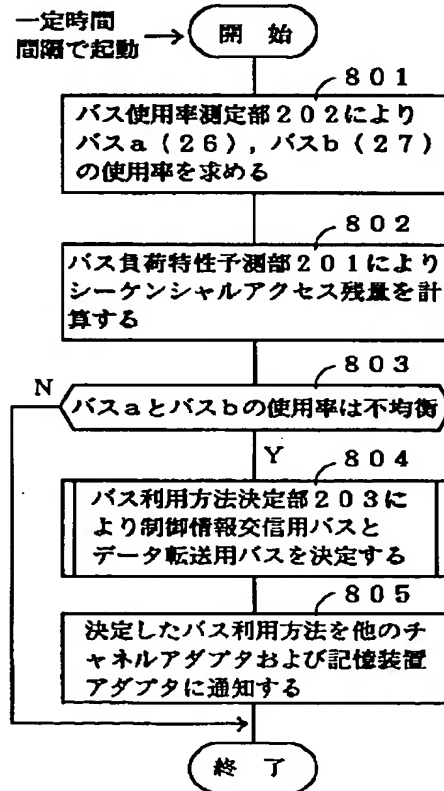


【図 6】



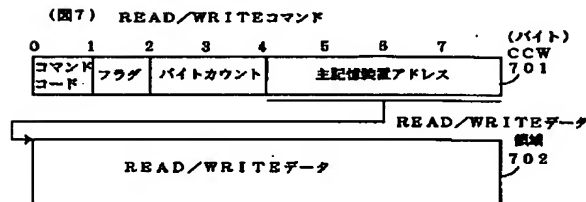
【図 8】

(図 8)

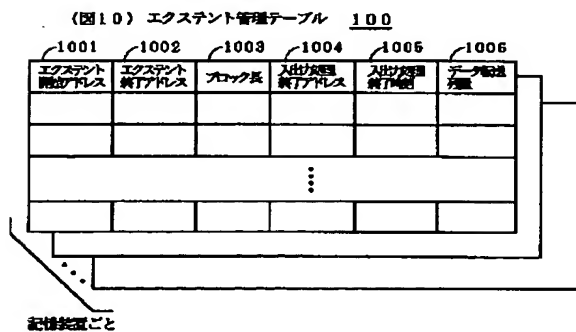


(図 14)

【図 7】



【図 10】

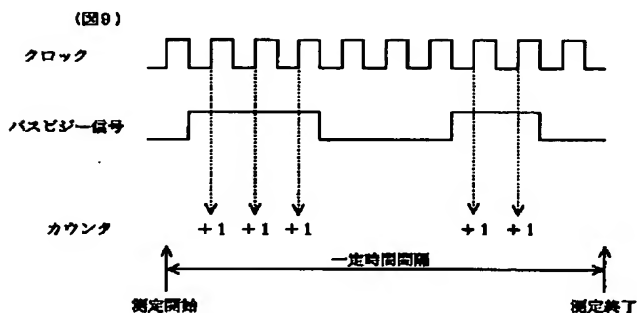


【図 13】

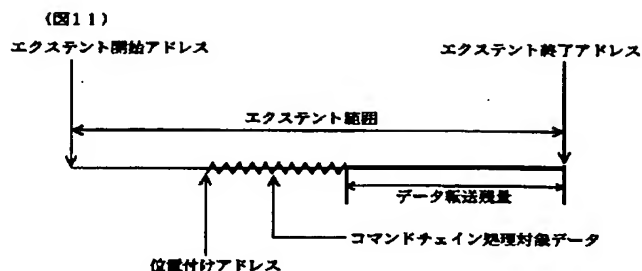
(図 13)

| バスモード | 通常モード | シーケンシャルモード | ランダムモード |
|-----------|---------|---------------------|---------------------|
| バス a (26) | 制御情報交信用 | 制御情報交信用 & データ転送用 | 制御情報交信用 |
| バス b (27) | データ転送用 | データ転送用 | 制御情報交信用 & データ転送用 |

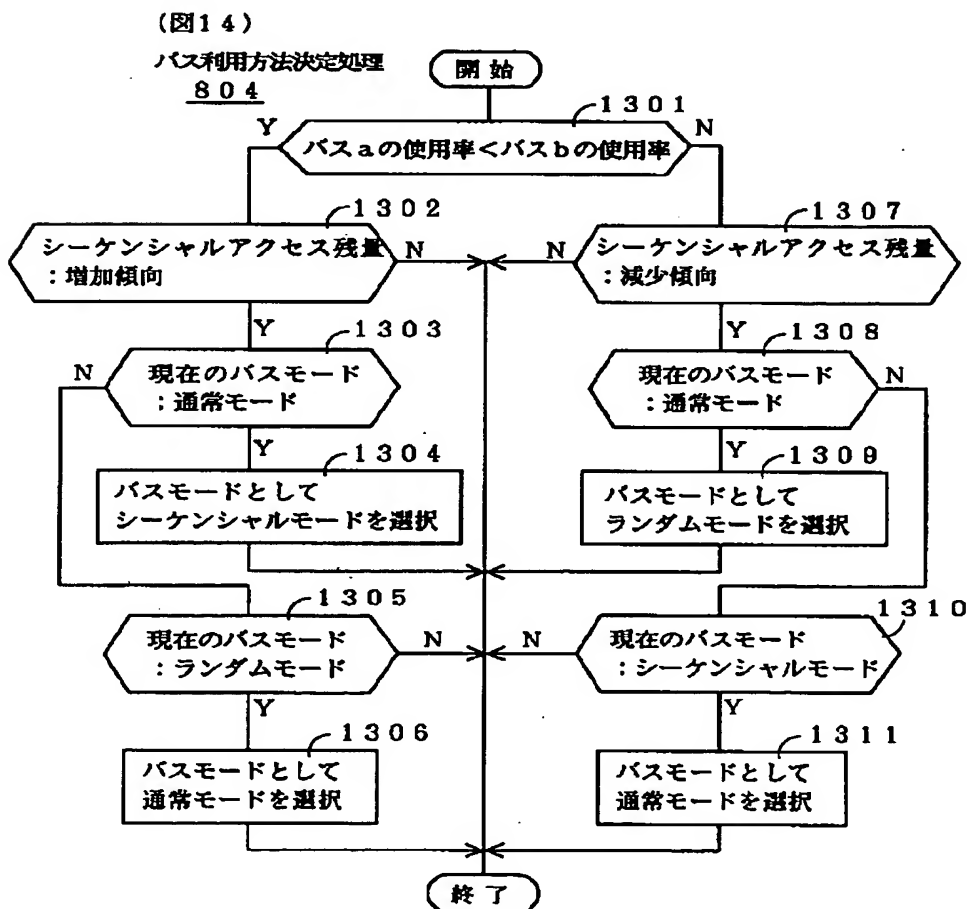
【図 9】



【図 11】

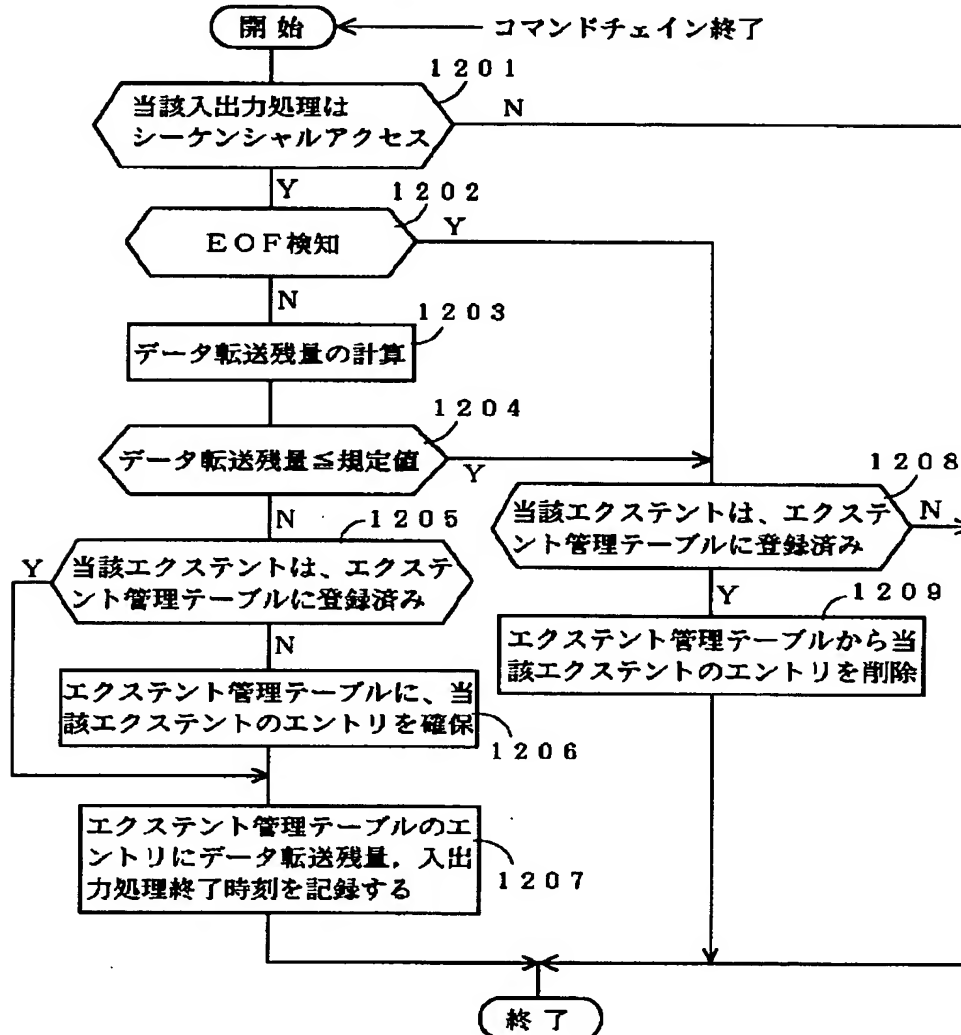


【図 14】



【図 1 2】

(図 1 2) エクステント管理テーブルへの情報格納処理

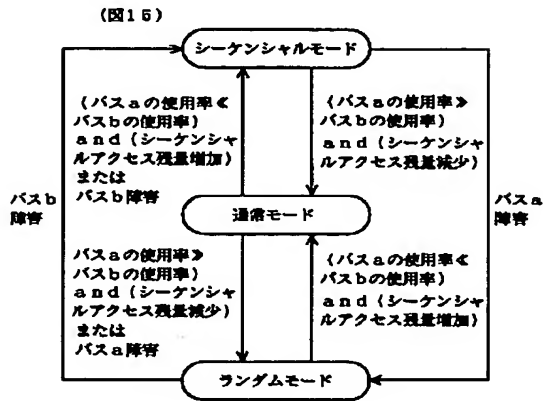


【図 1 7】

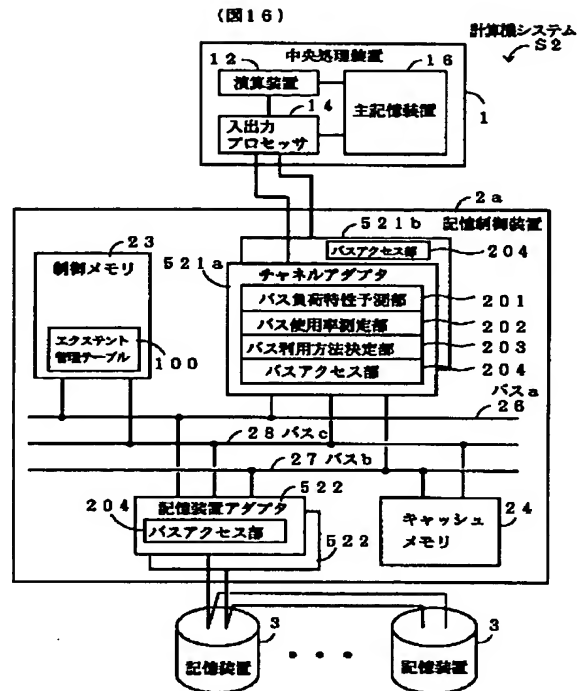
(図 1 7)

| バスモード バス | シーケンシャルモード | ランダムモード |
|-------------|------------|---------|
| バス a (26) | 制御情報交信用 | 制御情報交信用 |
| バス b (27) | データ転送用 | データ転送用 |
| バス c (28) | データ転送用 | 制御情報交信用 |

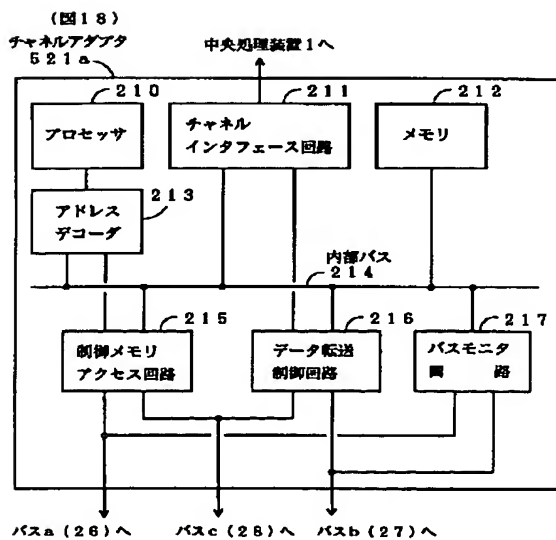
【図 15】



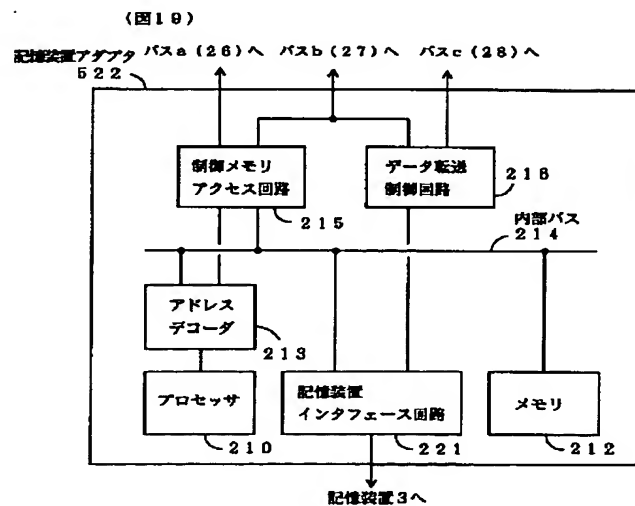
【図 16】



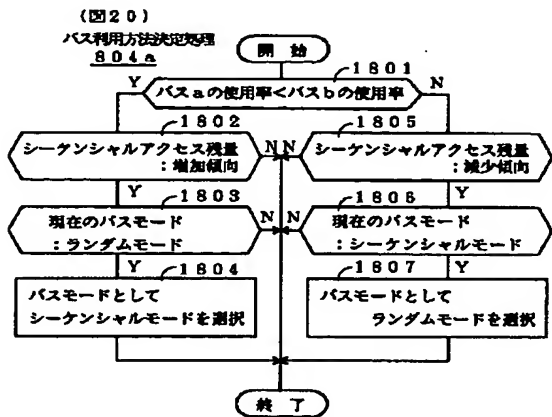
【図 18】



【図 19】



【図 2 0】



【図 2 1】

| バスモード バス | バスa (26) 障害モード | バスb (27) 障害モード | バスc (28) 障害モード | バスa (26) およびバスb (27) 障害モード |
|-------------|----------------|----------------|------------------------|----------------------------|
| バスa (26) | 制御情報伝信用 | データ転送用 | 制御情報伝信用 | データ転送用 |
| バスb (27) | データ転送用 | 制御情報伝信用 | データ転送用 | 制御情報伝信用 |
| バスc (28) | 制御情報伝信用 | データ転送用 | 制御情報伝信用 & データ転送用 | |

(図 21)

フロントページの続き

(72)発明者 山本 彰
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内